

© WPI / DERWENT

- AN - 1997-105949 [10]
- TI - Viterbi decoder for decoding convolutional code - performs read-write and time division of path metric memories and parallel operation control of add-compare-select calculating units in which two path memories are provided for each ACS calculating unit
- AB - J08340262 The decoder includes several add compare select calculating units (1,12,23,34) in which two path metric memories (3,6,14,17,25,28,36,39) are connected to each ACS calculating unit. The ACS calculating units performs an ACS calculation from each path metric which is read from the corresp. path metric memories.
- The read-write and the time division of the path metric memories are performed. The parallel operation control of the ACS calculating units is performed.
 - ADVANTAGE - Performs high speed operation and obtains constraint length in size of Viterbi decoder.
 - (Dwg.1/5)
- IV - VITERBI DECODE DECODE CONVOLUTE CODE PERFORMANCE READ WRITING TIME DIVIDE PATH METRIC MEMORY PARALLEL OPERATE CONTROL ADD COMPARE SELECT CALCULATE UNIT TWO PATH MEMORY CALCULATE UNIT
- PN - JP3316724B2 B2 20020819 DW200261 H03M13/41 006pp
- JP8340262 A 19961224 DW199710 H03M13/12 006pp
- IC - H03M13/12 ;H03M13/41 ;H04L1/00
- MC - U21-A06 W01-A01B2
- DC - U21 W01
- PA - (NIDE) NIPPON DENKI ENG KK
- AP - JP19950145826 19950613; [Previous Publ. JP8340262]
- PR - JP19950145826 19950613

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-340262

(43) 公開日 平成8年(1996)12月24日

(51) Int.Cl.⁶
H03M 13/12

識別記号 庁内整理番号

F I
H03M 13/12

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平7-145826

(22) 出願日 平成7年(1995)6月13日

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72) 発明者 朝倉 芳範

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

(72) 発明者 稲垣 誠

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

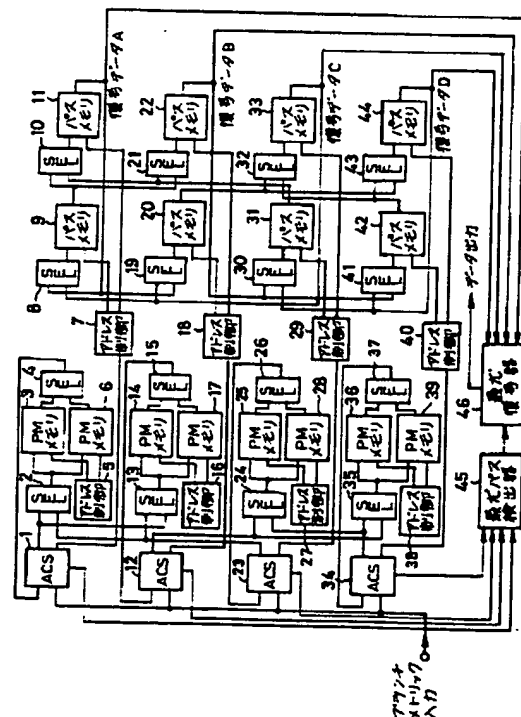
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 ビタビ復号器

(57) 【要約】

【目的】 ビタビ復号器において、高速動作を可能とし、かつ拘束長を大とすること。

【構成】 ACS計算回路1, 12, 23, 34を並列に設けて並列ACS算出処理を行う。各ACSに対して夫々2つのPM (パルメトリック) メモリ3と6, 14と17, 25と28, 36と39とを設けて、リード/ライト動作を交互に時分割に処理する。そのためのアドレスの制御をアドレス制御部5, 16, 27, 38にて行う。



【0015】更に、バスメモリ9、11、20、22、31、42、44を設け、これ等バスメモリのアドレス(リード/ライトアドレス)制御のために、アドレス制御部7、18、29、40を設けている。また、これ等バスメモリの入力制御のためにセクタ8、10、19、21、30、32、41、43を設けている。

【0016】尚、45は最尤バス検出器を示し、46は最尤復号器を示している。この最尤復号器46から復号データ出力が得られるようになっている。

【0017】PMメモリのうち読出し用と書込み用とが時分割制御されるものであり、例えば、読出し用がPMメモリ3、14、25、36であり、書込み用がPMメモリ6、17、28、39であるとする。この場合、ACS1では新バスメトリックの0~31について計算が行われ、ACS12では新バスメトリックの32~63の計算が行われる。また、ACS23では新バスメトリックの64~95の計算が行われ、ACS34では新バスメトリック96~127の計算が行われるもので、これ等ACS1、12、23、34においても並列に計算が行われる。

【0018】バスメトリック0~16、64~79はPMメモリ3、6に書込まれて記憶され、バスメトリック17~31、80~95はPMメモリ14、17に記憶される。また、バスメトリック32~47、96~111はPMメモリ25、28に記憶され、バスメトリック48~63、112~127はPMメモリ36、39に記憶される。

【0019】ACS計算は4個のACSにおいて同時に並列に行われており、ACS1において、PMメモリ3からのバスメトリックを読込んでACS計算が行われ、PMメモリ6と17にその計算結果が書込まれる。ACS12において、PMメモリ14からのバスメトリックを読込んでACS計算が行われ、PMメモリ28と39にその計算結果が書込まれる。

【0020】また、ACS23において、PMメモリ25からのバスメトリックを読込んでACS計算が行われ、PMメモリ6と17にその計算結果が書込まれる。ACS34において、PMメモリ36からのバスメトリックを読込んでACS計算が行われ、PMメモリ28と39にその計算結果が書込まれる。

【0021】ここで、PMメモリへの書込みに着目すると、ACS1と23との結果が同一メモリに書込まれるので、互いに重複しないようにアドレス制御部5、16、27、38にてアドレス制御が行われる。PMメモリ6の前半はACS1からのバスメトリックが書込まれ、後半はACS23からのバスメトリックが書込まれる。PMメモリ17では逆に前半はACS23からのバスメトリックが書込まれ、後半はACS1からのバスメトリックが書込まれて、同一メモリでの重複が生じない様になっている。

【0022】PMメモリ28では、前半はACS12からのバスメトリックが書込まれ、後半はACS34からのバスメトリックが書込まれる。PMメモリ39では、前半はACS34からのバスメトリックが書込まれ、後半はACS12からのバスメトリックが書込まれる。

【0023】以上の動作をタイムチャートに示すと、図2の如くなる。但し、ここでは、128のバスメトリックアドレスで示しているが、実際に各アドレスは0~31までで実現される。

【0024】バスメモリ9、11、20、22、31、33、42、44はACS1、12、23、34にて生成されるバスセレクト信号をリードアドレスとして制御されるが、ACS23、34の実行順序がACS1、12のそれとは異なっているので、アドレス制御部29、40により当該アドレスの補正制御がなされる。

【0025】尚、バスメモリは2面のメモリ9と11、20と22、31と33、42と44で構成され、一方が読出しの時は他方を書込みに使用されるもので、面の切替えは復号データ1ビット毎に行われる。

【0026】各バスメモリの最終出力から復号データA~Dが導出され、最尤バス検出器45にて最尤バスが検出されて最尤復号器46から誤り訂正された復号データが出力されることになる。

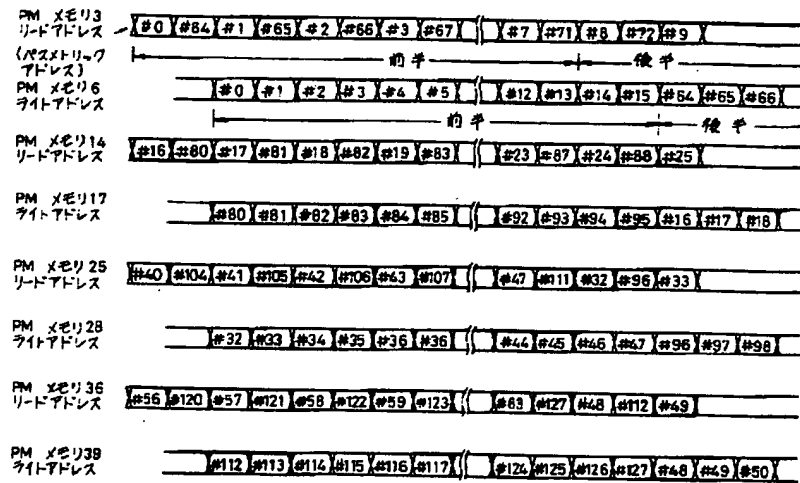
【0027】最尤バスが検出器45について説明する。一般に最尤バスの検出は、新バスメトリックの値を順次比較してゆき、1番大きいバスメトリックのバスを検出するものである。例えば、新バスメトリックの値をM0、M1、M2・・・、M127とすると、新バスメトリックはこの順番で生成されるので、先ずM0をレジスタに格納してマックスパルス(最大値検出パルス)を生成する。次のM1とレジスタ内の値とを比較し、M1が大きければ、M1をレジスタに格納してマックスパルスを生成し、M1が小さければそのままとしてマックスパルスも生成しない。

【0028】次にM2とレジスタ内の値とを比較してM2が大きければM2をレジスタに格納してマックスパルスを生成し、M2が小さければそのままとしてマックスパルスも生成しない。順次この動作をM127まで行い、最尤の新バスメトリックが発生したときに、最後のマックスパルスを生成するようになっている。

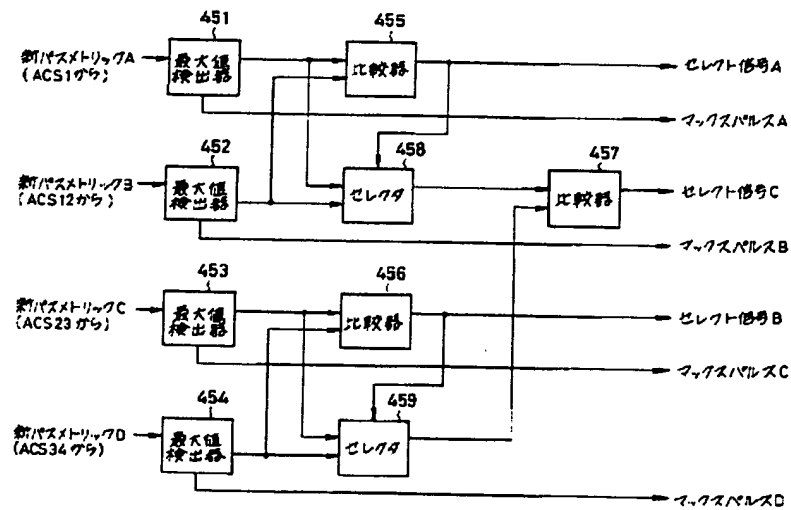
【0029】そこで、この最尤バス検出器45としては、図3に示す構成が考えられる。各ACS1、12、23、34からの新バスメトリックA~Dについて、32の新メトリックの最尤バスを検出するものであり、4個の最大値検出器451~454と、3個の比較器455~457と、2個のセクタ458、459とにより構成されている。

【0030】各最大値検出器451~454により最大値が検出された時に出力されるマックスパルスA~Dの4本と、比較器455~457から出力されるセレクト

【図2】



【図3】



【図5】

